

明 細 書

プロセッサ、情報処理装置およびプロセッサの制御方法

技術分野

- [0001] この発明はプロセッサ技術に関し、チップの温度に応じでパフォーマンスを制御するプロセッサ、およびプロセッサの制御方法に関する。

背景技術

- [0002] LSI設計において製造プロセスの微細化と素子の高集積化が一段と進み、チップの性能限界として発熱量を考慮することが設計上非常に重要になってきている。チップが高温になると、動作不良を起こしたり、長期信頼性が低下するため、様々な発熱対策がとられている。たとえば、チップの上部に放熱フィンを設けて、チップから発生する熱を逃がす方法がとられる。

- [0003] また、チップの消費電力分布にもとづいて、プロセッサのタスクをスケジューリングすることも検討されている(たとえば、特許文献1参照)。

特許文献1: 米国特許出願公開第2002/0065049号明細書

発明の開示

発明が解決しようとする課題

- [0004] 急峻な温度上昇が起きた場合等には、上述したような対策では対応しきれない場合もある。そのような場合、チップの動作周波数を下げる等の処理によりパフォーマンス自体を低下させて、対処する手法が考えられる。しかしながら、パフォーマンスを必要以上に低下させることは、無駄である。

- [0005] 本発明はこうした課題に鑑みてなされたものであり、その目的は、パフォーマンスの低下を抑えながら、正常動作が保証される範囲に温度を保つことができるプロセッサ、情報処理装置およびプロセッサの制御方法を提供することにある。

課題を解決するための手段

- [0006] 本発明のある態様はプロセッサの制御方法に関する。この方法は、プロセッサの内部に設けられた複数の処理ブロックの並列利用度を、温度に応じて切り替える。並列利用度と動作周波数の組合せをプロセッサの温度に応じて切り替えてもよい。タスク

ごとに定まる複数の処理ブロックの並列利用可能数を考慮して、タスクを割り振ってもよいし、複数の処理ブロックのうち、少なくとも最も低い温度の処理ブロックに、タスクを割り振ってもよい。

[0007] 「処理ブロック」は、複数のサブプロセッサを搭載したプロセッサの場合、各サブプロセッサに対応させてもよい。「並列利用度」は、当該サブプロセッサの稼働数に対応させてもよい。

[0008] 本発明の別の態様もプロセッサの制御方法に関する。この方法は、プロセッサの内部に設けられた複数の処理ブロックの並列利用度と動作周波数の組合せを所定のテーブルを参照して切り替える。

[0009] テーブルは前記組合せのそれぞれについて、処理のパフォーマンスを記述していてもよい。また、プロセッサの温度が所定のしきい値を越えると予測されるとき、または超えたとき、前記組合せの中で現在選択されている組合せより発熱量が低い組合せを検出し、検出された組合せへの切替を行ってもよい。さらに、検出された組合せが複数存在する場合、パフォーマンスが最大になる組合せへの切替を行ってもよい。

[0010] 本発明のさらに別の態様はプロセッサに関する。このプロセッサは、複数の処理ブロックと、温度を測定するセンサと、測定された温度に応じて、複数の処理ブロックの並列利用度を切り替える制御部と、を備える。制御部は、温度に応じて、並列利用度と動作周波数の組合せを切り替えてもよい。制御部は、タスクごとに定まる前記複数の処理ブロックの並列利用可能数を考慮して、タスクを割り振ってもよいし、複数の処理ブロックのうち、少なくとも最も低い温度の処理ブロックに、タスクを割り振ってもよい。

[0011] 本発明のさらに別の態様はプロセッサに関する。このプロセッサは、複数の処理ブロックと、本プロセッサの温度を測定するセンサと、測定された温度に応じ、複数の処理ブロックの並列利用度と動作周波数の組合せを切り替える制御部と、を備える。

[0012] テーブルは前記組合せのそれぞれについて、処理のパフォーマンスを記述していてもよい。また、プロセッサの温度が所定のしきい値を越えると予測されるとき、または超えたとき、制御部は、前記組合せの中で現在よりも発熱量が低い組合せを選択し、その組合せへの切替を行ってもよい。

[0013] 本発明のさらに別の態様は情報処理装置に関する。この装置は、各種のタスクを実行するプロセッサを備える情報処理装置であって、プロセッサは、複数の処理ブロックと、温度を測定するセンサと、測定された温度に応じて、複数の処理ブロックの並列利用度を切り替える制御部と、を備える。

[0014] なお、以上の構成要素の任意の組合せ、本発明の表現を方法、装置、システム、コンピュータプログラムなどの間で変換したものもまた、本発明の態様として有効である。

発明の効果

[0015] 本発明によれば、パフォーマンスの低下を抑えながら、正常動作が保証される範囲にプロセッサの温度を保つことができる。

図面の簡単な説明

[0016] [図1]第1実施形態におけるプロセッサの構成を示す図である。

[図2]第1実施形態を説明するための機能ブロック図である。

[図3]動作周波数とサブプロセッサの稼働数の組み合わせによる動作ポイントを示す図である。

[図4]パフォーマンステーブルを示す図である。

[図5]図2の機能ブロックの動作を説明するためのフローチャートである。

[図6]第2実施形態を説明するための機能ブロック図である。

[図7]タスクテーブルを示す図である。

[図8]第3実施形態におけるプロセッサの構成を示す図である。

[図9]第3実施形態を説明するためのフローチャートである。

[図10]第4実施形態を説明するための機能ブロック図である。

[図11]第4実施形態における低温度順にソートされたテーブルを示す図である。

[図12]図10の機能ブロックを説明するためのフローチャートである。

符号の説明

[0017] 1 プロセッサ、100 メインプロセッサ、110 発熱量推定部、115 タスクテーブル、120 温度制御部、121 タスク管理部、122 パフォーマンステーブル、130 サブプロセッサ制御部、140 周波数制御部、200 サブプロセッサ、30

0 記憶部、 400 温度センサ、 500 クロック生成部。

発明を実施するための最良の形態

[0018] (第1実施形態)

図1は、第1実施形態におけるプロセッサの構成を示す図である。プロセッサ1は、チップ内に、メインプロセッサ100、4個の第1～4サブプロセッサ200a～d、記憶部300、および温度センサ400を含む。これらは、図示しないバスにより接続されている。また、サブプロセッサ200の数は、4個に限るものではなく任意の数を設けることができる。たとえば、8個設けてもよい。また、これらの配置パターンも、図1に示したものに限りものではなく、任意に配置することができる。クロック生成部500は、プロセッサ1に基本周波数を与える。

[0019] メインプロセッサ100は、プロセッサ1全体を制御する。特に、第1～4サブプロセッサ200a～dの管理を行い、これらに適宜タスクを振り分ける。また、温度管理、電力管理、およびパフォーマンス管理を行う。第1～4サブプロセッサ200a～dは、メインプロセッサ100から割り振られたタスクを実行する。温度センサ400は、測定した温度をメインプロセッサ100に出力する。温度センサ400は、パッケージの外に設けてもよいが、急峻な温度変化を測定するために、パッケージ内のダイ(die)に設けるとよい。

[0020] 図2は、第1実施形態における主にメインプロセッサ100、記憶部300および記憶部300にロードされたソフトウェアの連携によって実現される機能ブロック図である。この機能ブロックがハードウェアとソフトウェアとの組み合わせによっていろいろな形で実現できることは、当業者に理解されるところである。図2において、温度センサ400は、現在のチップの温度を温度制御部120に出力する。温度制御部120は、温度センサ400から入力される現在の温度と、発熱量推定部110から入力される推定発熱量とを基に、 Δt 期間後の温度を推定する。この関係式を下記(式1)に示す。

[0021] $T_{t+\Delta t} = f(T_t, E) \cdots (式1)$

$T_{t+\Delta t}$ は Δt 期間後の温度、 T_t は現在の温度、 E は当該 Δt 期間に生じる推定発熱量を示す。このように、当該 Δt 期間後の温度 $T_{t+\Delta t}$ を、現在の温度 T_t と推定発熱量 E の関数として求める。

[0022] 発熱量推定部110は、サブプロセッサ制御部130から現在稼働しているサブプロセ

ッサ200の数を取得し、周波数制御部140から現在の動作周波数を取得する。そして、それらを基に、推定発熱量Eを求める。この関係式を下記(式2)に示す。

$$[0023] \quad E = \int [\alpha \cdot C \cdot V_{dd}^2 \cdot f] dt \cdots (式2)$$

α は所定の比例定数、Cは負荷を容量で等価的に示した変数、 V_{dd} は電源電圧、fは動作周波数である。電源電圧 V_{dd} は2乗して用いる。これらを掛け合わせたものを上記 Δt で積分した値が推定発熱量Eとなる。

[0024] 本実施形態の負荷の容量Cは、下記(式3)で表される。

$$C = C_m + NC_s \cdots (3)$$

C_m はメインプロセッサの容量、 C_s はサブプロセッサ200の容量、Nはサブプロセッサ200の稼働数である。

[0025] 発熱量推定部110は、以上の計算により求めた推定発熱量Eを温度制御部120に渡す。温度制御部120は、上記(式1)に示したように、温度センサ400から取得した現在の温度 T_t と、上記推定発熱量Eとを基に、上記 Δt 期間後の温度 $T_{t+\Delta t}$ を推定する。そして下記(式4)に示すように、この推定温度 $T_{t+\Delta t}$ が所定のしきい値温度以上に達したか否かを判断する。所定のしきい値温度は、プロセッサ1全体の正常動作が保証されなくなる温度である。

$$T_{t+\Delta t} \geq T_{th} \cdots (4)$$

[0026] 図3は、動作周波数とサブプロセッサ200の稼働数の組み合わせによる動作ポイントを示す図である。図3において、横軸に遷移可能な動作周波数として、4GHz, 2GHz, 1GHzを設定している。縦軸に遷移可能なサブプロセッサ200の稼働数として、4個～0個を設定している。0個の場合は、メインプロセッサ100のみが稼働している状態である。したがって、図3は15個の動作ポイントa～oを有する。一番右上の動作ポイントaのパフォーマンスが最も高く、一番左下の動作ポイントoのパフォーマンスが最も低い。通常のフル稼働の場合、動作ポイントaで動作し、サブプロセッサ200の稼働数が4で、動作周波数が4GHzとなる。

[0027] タスク管理部121は、上記 Δt 期間後のタスクの実行状況を把握し、その時点のサブプロセッサ200の並列利用可能数を特定する。そして、当該並列利用可能数を温度制御部120に渡す。タスクの実行状況には、1つのタスクを実行している場合や複

数のタスクを実行している場合がある。また、各タスクの性質により1つのサブプロセッサ200でしか実行できないタスクや、複数のサブプロセッサ200で実行可能なタスクがある。

[0028] 図4は、パフォーマンステーブル122を示す図である。サブプロセッサ200の並列利用数に対する動作ポイントの候補が登録されている。動作ポイントは、上からパフォーマンスが高い順に登録されている。たとえば、サブプロセッサ200を2つ利用する場合の動作ポイントは、パフォーマンスが高い順にd→g→h→j→k→l→m→n→oとなる。なお、パフォーマンステーブル122には、予め各動作ポイントの上記 Δt 期間に生じる発熱量を記述しておいてもよい。

[0029] 温度制御部120は、推定温度 $T_{t+\Delta t}$ が所定のしきい値温度に達した場合、並列利用しているサブプロセッサ200の稼働数を減らすか、プロセッサ1全体の動作周波数を下げて、発熱量を下げなければならない。その際、温度制御部120は、タスク管理部121から入力される上記 Δt 期間後のサブプロセッサ200の並列利用可能数を取得し、それを基にパフォーマンステーブル122を参照して、遷移する動作ポイントの候補を特定する。サブプロセッサ制御部130は、温度制御部120の指示によりサブプロセッサ200の稼働数を切り替える。周波数制御部140は、温度制御部120の指示により上記動作周波数を切り替える。

[0030] 図5は、図2に示した機能ブロックの動作を説明するためのフローチャートである。まず、温度制御部120は、温度センサ400からチップ内の現在の温度を取得する(S10)。次に、発熱量推定部110は、サブプロセッサ制御部130から現在のサブプロセッサ200の稼働数を取得し、周波数制御部140から現在のプロセッサ1全体の動作周波数を取得する。そして、それらを上記(式2)、(式3)に代入して、上記 Δt 期間に生じる発熱量を推定し、温度制御部120に渡す(S11)。温度制御部120は、温度センサ400から取得した現在の温度と、発熱量推定部110により推定された発熱量とを基に、上記 Δt 期間後の温度を推定する(S12)。

[0031] 次に、温度制御部120は、当該推定温度と、所定のしきい値温度とを比較する(S13)。当該推定温度が所定のしきい値温度に達していない場合(S13のN)、上記 Δt 期間後の温度に対する正常な動作が保証されるため、現在のサブプロセッサ200の

稼働数および動作周波数を切り替える必要はない。

- [0032] 当該推定温度が所定のしきい値温度以上の場合(S13のY)、タスク管理部121から、当該 Δt 期間後のサブプロセッサ200の並列利用可能数を取得する(S14)。そして、パフォーマンステーブル122を参照する(S15)。より具体的には、パフォーマンステーブル122の中の、上記並列利用可能数の項目を参照し、現在の動作ポイントから遷移する次の動作ポイントの候補を特定する。パフォーマンステーブル122は、上記並列利用可能数の項目ごとに、遷移可能な動作ポイントを、パフォーマンスを損なわない順に登録されている。したがって、次の動作ポイントの候補は、現在の動作ポイントのパフォーマンスに対し、パフォーマンスの低下が最も小さい動作ポイントとなる。温度制御部120は、当該動作ポイントのサブプロセッサ200の稼働数とプロセッサ1全体の動作周波数とを取得し、発熱量推定部110に渡す。
- [0033] 発熱量推定部110は、温度制御部120から渡されたサブプロセッサ200の稼働数とプロセッサ1全体の動作周波数とを上記(式2)、(式3)に代入して、上記 Δt 期間に生じる発熱量を再度推定し、温度制御部120に返す(S16)。なお、パフォーマンステーブル122に予め各動作ポイントの上記 Δt 期間に生じる発熱量が記述されている場合は、それを用いればよい。温度制御部120は、温度センサ400から取得した温度と、発熱量推定部110により推定された発熱量とを基に、上記 Δt 期間後の温度を再度推定する(S17)。
- [0034] 次に、温度制御部120は、当該推定温度と、所定のしきい値温度とを再度比較する(S18)。当該推定温度が所定のしきい値温度に達していない場合(S18のN)、現在の動作ポイントの候補に遷移すれば、上記 Δt 期間後の温度に対する正常な動作が保証される。したがって、温度制御部120は、当該動作ポイントの候補に遷移するために、サブプロセッサ制御部130に指示してサブプロセッサ200の稼働数を減らすか、周波数制御部140に指示してプロセッサ1全体の動作周波数を下げる。または、その両方を行う(S19)。
- [0035] S18において、当該推定温度が所定のしきい値温度以上の場合(S18のY)、S15に遷移して、再度パフォーマンステーブル122を参照する(S15)。そして、現在の動作ポイントの候補から次の動作ポイントの候補に変更する。以後、S16、S17と上述し

た処理が繰り返され、S17において推定した温度が、所定のしきい値温度未満になるまで(S18のN)、行う。

[0036] このように、本実施形態によれば、プロセッサ1の温度が所定のしきい値温度以上になると推定される場合に、サブプロセッサ200の稼働数を減らすか、プロセッサ1全体の動作周波数を下げるかして、これを事前に回避することができる。またその際、パフォーマンステーブル122を参照することによって、最もパフォーマンスを損なわない動作ポイントに遷移することができる。

[0037] なお、上述した1GHz, 2GHz, 4GHzといった動作周波数は、チップに与えられる周波数であり、チップ内のメインプロセッサ100およびサブプロセッサ200がこの周波数で動作している訳ではない。動作に有効に活用されている周波数、即ち実効周波数は、上述した周波数より低いものである。この実効周波数は、タスクによって異なる。そこで、上記(式2)により発熱量を推定する際、 f に実効周波数を代入してもよい。タスク管理部121は、現在から上記 Δt 期間後までに実行するタスクを特定し、そのタスクに応じた実効周波数を求める。発熱量推定部110は、その実効周波数を上記(式2)に代入して推定発熱量 E を算出する。これによれば、推定発熱量 E を算出する段階でも、タスクを考慮することができ、より精度の高い温度推定を行うことができる。

[0038] (第2実施形態)

第2実施形態は、第1実施形態のように推定発熱量 E を計算で求めるのではなく、予めテーブルに登録しておく例である。図6は、第2実施形態における主にメインプロセッサ100、記憶部300および記憶部300にロードされたソフトウェアの連携によって実現される機能ブロック図である。タスクテーブル115は、各タスクごとにサブプロセッサ200の並列利用可能数と発熱量を格納している。図7は、タスクテーブル115を示す図である。タスクの種別としては、たとえばキー入力待ち、MPEGデータのデコード、音声認識等がある。サブプロセッサ200の並列利用可能数は、タスクによって異なる。メインプロセッサ100のみで実行しなければならないタスクは0となる。並列処理可能なタスクは1以上となる。発熱量は、各タスクごとに上記(式1)における Δt 期間に生じる発熱量である。予め実験的に得た値を登録しておけばよい。

[0039] タスク管理部121は、上記 Δt 期間のタスクの実行状況を把握して、当該 Δt 期間に

実行される1以上のタスクを特定し、発熱量推定部110に渡す。発熱量推定部110は、タスク管理部121により特定されたタスクの種別を基に、タスクテーブル115を参照し、プロセッサ1全体の推定発熱量 E を求める。複数のタスクが実行される場合は、各タスクの発熱量を足せばよい。温度センサ400は、現在のチップの温度を温度制御部120に出力する。

[0040] 温度制御部120は、上記(式1)に示したように、温度センサ400から取得した現在の温度 T_t と、上記推定発熱量 E とを基に、上記 Δt 期間後の温度 $T_{t+\Delta t}$ を推定する。そして上記(式4)に示すように、この推定温度 $T_{t+\Delta t}$ が所定のしきい値温度以上に達したか否かを判断する。所定のしきい値温度以上に達した場合、動作ポイントの遷移を行う。動作ポイントの遷移は、第1実施形態において説明したように、図3および図4に示したパフォーマンステーブル122を参照して行う。

[0041] タスク管理部121は、上記 Δt 期間後のタスクの実行状況を把握し、その時点のサブプロセッサ200の並列利用可能数を特定する。そして、当該並列利用可能数を温度制御部120に出力する。温度制御部120は、パフォーマンステーブル122を参照して動作ポイントの遷移を行う際、タスク管理部121から取得したサブプロセッサ200の並列利用可能数も考慮する。動作ポイントの遷移に際し、サブプロセッサ制御部130は、温度制御部120の指示によりサブプロセッサ200の稼働数を切り替える。周波数制御部140は、温度制御部120の指示により上記動作周波数を切り替える。

[0042] なお、図6に示した機能ブロックの動作は、第1実施形態において図5のフローチャートを用いた説明部分と基本的に同様である。S11において、ある上記 Δt 期間に生じる発熱量を推定する際、発熱量推定部110がタスクテーブル115とタスク管理部121から得られるタスクの実行状況を基に発熱量を推定する点が相違する。

[0043] このように第2実施形態によれば、予めタスクごとの発熱量が記述されたタスクテーブルを参照して、チップ全体の発熱量の推定を行うことにより、タスクを考慮した精度の高い温度推定を簡易な処理で行うことができる。

[0044] (第3実施形態)

第3実施形態は、温度センサ400をチップ内に複数設ける例である。図8は、第3実施形態におけるプロセッサの構成を示す図である。プロセッサ1は、チップ内に、メイ

ンプロセッサ100、4個の第1～4サブプロセッサ200a～d、記憶部300、および4個の第1～4温度センサ400a～dを含む。第1温度センサ400aは、ブロックaの温度を測定し、第2温度センサ400bは、ブロックbの温度を測定する。第3温度センサ400cおよび第4温度センサ400dも同様である。温度センサ400の数は、4個に限るものではなく任意の数を設けることができる。たとえば、2個設けてもよい。また、これらの配置パターンも、図1に示したものに限るものではなく、任意に配置することができる。その他は、図1の説明と同様である。

[0045] 第3実施形態は、図2や図6に示した機能ブロック図と同様の構成で実現可能である。温度センサ400が複数になる点が第1実施形態および第2実施形態と異なる。即ち、温度制御部120には、各ブロックの現在の温度が入力される。

[0046] 図9は、第3実施形態を説明するためのフローチャートである。まず、温度制御部120は、複数の温度センサ400から各ブロックの現在の温度を取得する(S20)。温度制御部120は、それを基に最高温度のブロックを特定する(S21)。次に、発熱量推定部110は、サブプロセッサ制御部130から現在のサブプロセッサ200の稼働数を取得し、周波数制御部140から現在のプロセッサ1の動作周波数を取得する。そして、それらを上記(式2)、(式3)に代入して、上記 Δt 期間に生じる発熱量を推定し、温度制御部120に渡す(S22)。なお、発熱量推定部110は、タスク管理部121により特定されたタスクの種別を基に、タスクテーブル115を参照し、プロセッサ1全体の発熱量を推定してもよい。温度制御部120は、特定した最高温度と、発熱量推定部110により推定された発熱量とを基に、上記 Δt 期間後の温度を推定する(S23)。

[0047] 次に、温度制御部120は、当該推定温度と、所定のしきい値温度とを比較する(S24)。当該推定温度が所定のしきい値温度に達していない場合(S24のN)、上記 Δt 期間後の温度に対する正常な動作が保証されるため、現在のサブプロセッサ200の稼働数および動作周波数を切り替える必要はない。

[0048] 当該推定温度が所定のしきい値温度以上の場合(S24のY)、タスク管理部121から、当該 Δt 期間後のサブプロセッサ200の並列利用可能数を取得する(S25)。そして、パフォーマンステーブル122を参照する(S26)。温度制御部120は、パフォーマンステーブル122から遷移する動作ポイントの候補を特定し、当該動作ポイントのサ

ブプロセッサ200の稼働数とプロセッサ1の動作周波数とを取得し、発熱量推定部110に渡す。

[0049] 発熱量推定部110は、温度制御部120から渡されたサブプロセッサ200の稼働数とプロセッサ1の動作周波数とを上記(式2)、(式3)に代入して、上記 Δt 期間に生じる発熱量を再度推定し、温度制御部120に返す(S27)。温度制御部120は、上記最高温度と、発熱量推定部110により推定された発熱量とを基に、上記 Δt 期間後の温度を再度推定する(S28)。

[0050] 次に、温度制御部120は、当該推定温度と、所定のしきい値温度とを再度比較する(S29)。当該推定温度が所定のしきい値温度以上の場合(S29のY)、S26に遷移して、再度パフォーマンステーブル122を参照する(S26)。そして、現在の動作ポイントの候補から次の動作ポイントの候補に変更する。以後、S27、S28と上述した処理が繰り返され、ステップS28において推定した温度が、所定のしきい値温度未満になるまで(S29のN)、行う。

[0051] S29において、上記推定温度が所定のしきい値温度に達していない場合(S29のN)、現在の動作ポイントの候補に遷移すれば、上記 Δt 期間後の温度に対する正常な動作が保証される。したがって、温度制御部120は、当該動作ポイントに遷移するように、サブプロセッサ制御部130もしくは周波数制御部140、または両方に指示する。まず、当該動作ポイントに遷移するために、サブプロセッサ200の稼働数を削減しなければならない場合(S30のY)、サブプロセッサ制御部130は、温度制御部120から指示されたサブプロセッサ200を停止する(S31)。

[0052] ここで、温度制御部120は、最高温度のブロックに属しているサブプロセッサ200の停止を指示する。当該ブロックのサブプロセッサ200が停止している場合、当該ブロックに最も近い位置のサブプロセッサ200の停止を指示する。たとえば、図8においてブロックaが最高温度のブロックの場合で、サブプロセッサ200が4個稼働から2個稼働に遷移する場合、第1サブプロセッサ200aと第2サブプロセッサ200bを停止させる。このように、最高温度のブロックに属しているサブプロセッサ200、当該ブロックに近い位置のサブプロセッサ200の順番で停止させていく。また、各ブロックが最高温度になった場合の、サブプロセッサ200を停止させる順番は、予めテーブルに記

述しておいてもよい。その場合、温度制御部120は、当該テーブルを参照してサブプロセッサ制御部130に指示する。

[0053] 次に、上記動作ポイントに遷移するために、プロセッサ1全体の動作周波数を変更しなければならない場合(S32のY)、周波数制御部140は、温度制御部120から指示された動作周波数に変更する(S33)。

[0054] このように第3実施形態によれば、動作ポイントを遷移する際に、最高温度のブロックに属する、または近い位置のサブプロセッサから停止させることにより、チップ内の温度分布を平準化する方向で、チップ内の温度を制御することができる。

[0055] (第4実施形態)

第4実施形態は、各ブロックの温度に応じてタスクを割り振る例である。第4実施形態におけるプロセッサの構成は、図8の説明と同様である。図10は、第4実施形態における主にメインプロセッサ100、記憶部300および記憶部300にロードされたソフトウェアの連携によって実現される機能ブロック図である。複数の温度センサ400は、各サブプロセッサ200a～dの現在の温度、またはチップ内の領域を分割して設定した各ブロックa～dの現在の温度を温度制御部120に出力する。複数の温度センサ400の配置は、各サブプロセッサ200a～dの温度を直接測る位置にあってもよく、各ブロックa～dの温度を測る位置にあってもよい。

[0056] タスク管理部121は、現在のタスクの実行状況や待ち行列状況を把握し、次に実行すべきタスクの並列利用可能数を温度制御部120に渡す。並列利用可能数は、各タスクの性質により異なる。

[0057] 温度制御部120は、複数の温度センサ400から入力される温度を基に、各サブプロセッサ200a～dのテーブルを低温度順に作成する。図11は、第4実施形態における低温度順にソートされたテーブルを示す図である。図11では、温度の低い順に、第4サブプロセッサd→第2サブプロセッサb→第3サブプロセッサc→第1サブプロセッサaとソートされている。この順番は、複数の温度センサ400から入力される温度により、適応的に変更される。なお、このテーブルは、各サブプロセッサ200a～dの温度順番のみならず、各サブプロセッサ200a～dの実際のまたは推定の温度を管理してもよい。

- [0058] 複数の温度センサ400から各ブロックのa～dの温度が入力される場合、複数の温度センサ400と、各サブプロセッサ200a～dとの距離関係を基に、計算で各サブプロセッサ200a～dの温度を推定してもよい。
- [0059] 温度制御部120は、上記テーブルを参照して、次に実行すべきタスクを低温度のサブプロセッサに割り振る。その際、次に実行すべきタスクの並列利用数を考慮し、割り振るサブプロセッサを決定する。即ち、並列利用度が2の場合、上記テーブルを参照して、低温度順に上から2つのサブプロセッサに当該タスクを割り振る。これによれば、パフォーマンスの低下を抑えながら、温度の平準化を行うことができる。勿論、1つのサブプロセッサにのみタスクを割り振ってもよい。なお、上記テーブルが各サブプロセッサ200a～dの温度も管理している場合、並列利用可能数により割り振り候補となるサブプロセッサであっても、そのサブプロセッサが所定の閾値温度を超える温度であるときは、割り振り候補から除外してもよい。その場合、並列利用可能数より少ないサブプロセッサでタスクを実行することになる。当該閾値温度は、実測やシミュレーションにより最適値を求めて設定するとよいが、割り振るタスクの実行後の温度上昇を加味して、若干低めに設定してもよい。これによれば、スポット的な発熱を抑えることができる。
- [0060] 温度制御部120は、タスクを割り振るサブプロセッサをサブプロセッサ制御部130に指示する。サブプロセッサ制御部130は、温度制御部120の指示により各サブプロセッサ200a～dの稼働／非稼働を制御する。
- [0061] 図12は、第4実施形態を説明するためのフローチャートである。まず、温度制御部120は、複数の温度センサ400から各サブプロセッサ200a～dの温度、または各ブロックa～dの現在の温度を取得する(S40)。次に、すべてのサブプロセッサ200a～dを低温度順にソートする(S41)。そして、次に実行すべきタスクを低温度順に1つ以上のサブプロセッサに割り振る(S42)。その際、当該タスクにおけるサブプロセッサの並列利用可能数、各サブプロセッサ200a～dの温度が所定の閾値温度を超えないか等を考慮することができる。
- [0062] このように第4実施形態によれば、低温度のサブプロセッサに優先的にタスクを割り振って、複数のサブプロセッサの温度を平準化するように制御することにより、チップ

内の温度分布を平準化することができる。また、スポット的な発熱を事前に防止することもできる。なお、本実施形態において、各サブプロセッサの温度を基に、タスクを割り振るサブプロセッサを決定した。この点、各サブプロセッサを、チップ内の領域を分割して設定した各ブロックに読み替えてもよい。この場合、各ブロックの温度を低温度順にソートし、低温度のブロックに近接するサブプロセッサにタスクを割り振ることとなる。

[0063] 以上、本発明を実施形態をもとに説明した。これらの実施形態は例示であり、それらの各構成要素や各処理プロセスの組合せにいろいろな変形例が可能なこと、またそうした変形例も本発明の範囲にあることは当業者に理解されるところである。

[0064] 各実施形態においては、上記 Δt 期間後の推定温度と所定のしきい値温度とを比較した。この点、温度センサ400から取得する現在の温度と所定のしきい値温度とを比較してもよい。この場合、所定のしきい値温度は、各実施形態における温度より低めに設定するとよい。

[0065] 上記(式1)において、上記 Δt 期間後の温度 $T_{t+\Delta t}$ は、現在の温度 T_t と推定発熱量 E との関数であると説明した。この点、サブプロセッサ200のコンビネーションを要素に追加してもよい。上記 Δt 期間後の温度 $T_{t+\Delta t}$ は、主としてタスクの実行状況に依存する。これに加えて、隣接するサブプロセッサ200に同時にタスクが割り振られると、離れたサブプロセッサ200にタスクが分散する場合よりも熱が発生しやすいなどの物理的な性質からの影響も受ける。温度制御部120は、タスクの実行によるサブプロセッサ200のコンビネーションも考慮して、上記 Δt 期間後の温度 $T_{t+\Delta t}$ を推定することができる。

[0066] 第3実施形態において説明したブロックは、スポット的に発熱のピークが現れる領域の大きさに合わせて区切られることが理想であるが、当該ブロックの大きさは、発熱制御の目標精度やプロセッサ1の要求仕様によって自由に決めてよい。また、当該ブロックは同一サイズで規則的に区切られてもよいが、各種プロセッサの境界に合わせて不規則に区切られてもよい。

[0067] サブプロセッサ200の数、その配置位置、および温度センサ400の数、その配置位置は、任意に設定可能である。また、パフォーマンステーブル122に記述される遷移

可能な動作周波数、および遷移可能なサブプロセッサ200の稼働数も、任意に設定可能である。さらに、所定のテーブルに記述されるサブプロセッサ200を停止させる順番も任意に設定可能である。主に最高温度のブロックからの位置により、停止させる順番を定めるが、重要な回路素子からの位置関係も考慮して、順番を定めてもよい。

[0068] なお、本発明のプロセッサは、PC、ワークステーション、ゲーム機、PDA、携帯電話機等の情報処理装置の制御部に適用可能なことはいうまでもない。また、ネットワーク上に分散された資源を共有してシステムを構築するような形態の情報処理システムにも適用可能である。

産業上の利用可能性

[0069] 本発明は、複数の処理ブロックを備えるプロセッサのパフォーマンスを制御する分野に適用することができる。

請求の範囲

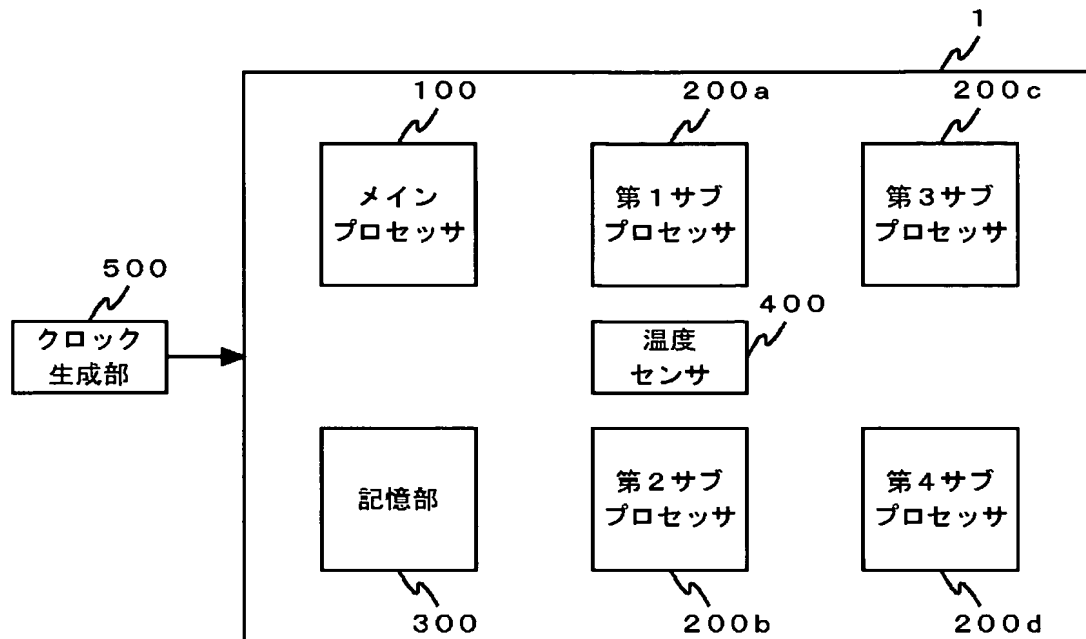
- [1] プロセッサの内部に設けられた複数の処理ブロックの並列利用度を、温度に応じて切り替えることを特徴とするプロセッサの制御方法。
- [2] 請求項1に記載の方法において、前記並列利用度と動作周波数の組合せをプロセッサの温度に応じて切り替えることを特徴とするプロセッサの制御方法。
- [3] 請求項1に記載の方法において、タスクごとに定まる前記複数の処理ブロックの並列利用可能数を考慮して、前記タスクを割り振ることを特徴とするプロセッサの制御方法。
- [4] 請求項1または3に記載の方法において、前記複数の処理ブロックのうち、少なくとも最も低い温度の処理ブロックに、タスクを割り振ることを特徴とするプロセッサの制御方法。
- [5] プロセッサの内部に設けられた複数の処理ブロックの並列利用度と動作周波数の組合せを所定のテーブルを参照して切り替えることを特徴とするプロセッサの制御方法。
- [6] 請求項5に記載の方法において、前記テーブルは前記組合せのそれぞれについて、処理のパフォーマンスを記述していることを特徴とするプロセッサの制御方法。
- [7] 請求項6に記載の方法において、プロセッサの温度が所定のしきい値を越えると予測されるとき、または超えたとき、前記組合せの中で現在選択されている組合せより発熱量が低い組合せを検出し、検出された組合せへの切替を行うことを特徴とするプロセッサの制御方法。
- [8] 請求項7に記載の方法において、検出された組合せが複数存在する場合、パフォーマンスが最大になる組合せへの切替を行うことを特徴とするプロセッサの制御方法。
- [9] 複数の処理ブロックと、
温度を測定するセンサと、
測定された温度に応じて、前記複数の処理ブロックの並列利用度を切り替える制御部と、
を備えることを特徴とするプロセッサ。

- [10] 請求項9に記載のプロセッサにおいて、前記制御部は、前記温度に応じて、前記並列利用度と動作周波数の組合せを切り替えることを特徴とするプロセッサ。
- [11] 請求項9に記載のプロセッサにおいて、前記制御部は、タスクごとに定まる前記複数の処理ブロックの並列利用可能数を考慮して、前記タスクを割り振ることを特徴とするプロセッサ。
- [12] 請求項9または11に記載のプロセッサにおいて、前記制御部は、前記複数の処理ブロックのうち、少なくとも最も低い温度の処理ブロックに、タスクを割り振ることを特徴とするプロセッサ。
- [13] 複数の処理ブロックと、
前記複数の処理ブロックの並列利用度と動作周波数の組合せを記述するテーブルと、
前記テーブルを参照し、前記組合せを適宜切り替える制御部と、
を備えることを特徴とするプロセッサ。
- [14] 請求項13に記載のプロセッサにおいて、前記テーブルは前記組合せのそれぞれについて、処理のパフォーマンスを記述していることを特徴とするプロセッサ。
- [15] 請求項14に記載のプロセッサにおいて、当該プロセッサの温度が所定のしきい値を越えると予測されるとき、または超えたとき、前記制御部は、前記組合せの中で現在よりも発熱量が低い組合せを選択し、その組合せへの切替を行うことを特徴とするプロセッサ。
- [16] 各種のタスクを実行するプロセッサを備える情報処理装置であって、
前記プロセッサは、
複数の処理ブロックと、
温度を測定するセンサと、
測定された温度に応じて、前記複数の処理ブロックの並列利用度を切り替える制御部と、
を備えることを特徴とする情報処理装置。
- [17] 請求項16に記載の装置において、前記制御部は、前記温度に応じて、前記並列利用度と動作周波数の組合せを切り替えることを特徴とする情報処理装置。

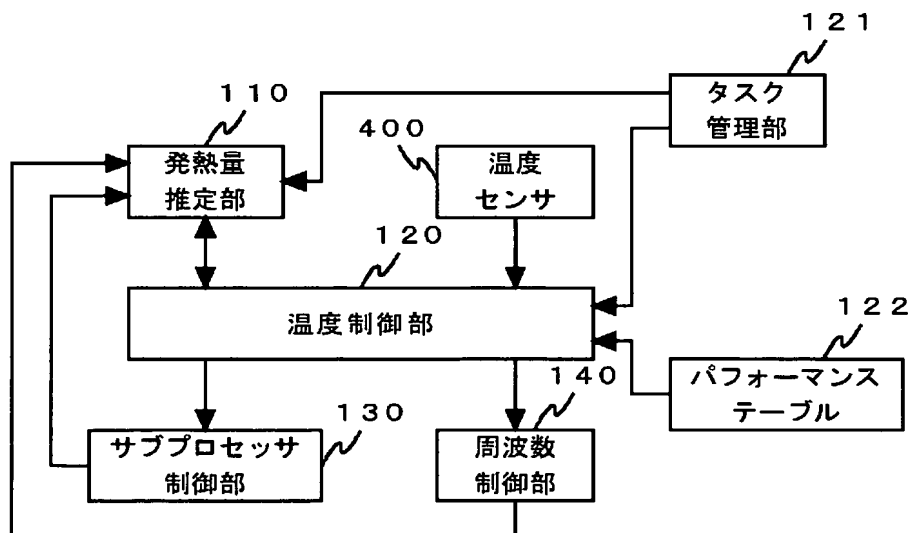
- [18] 請求項16に記載の装置において、前記制御部は、タスクごとに定まる前記複数の処理ブロックの並列利用可能数を考慮して、前記タスクを割り振ることを特徴とする情報処理装置。
- [19] 請求項16または18に記載の装置において、前記制御部は、前記複数の処理ブロックのうち、少なくとも最も低い温度の処理ブロックに、タスクを割り振ることを特徴とする情報処理装置。
- [20] 各種のタスクを実行するプロセッサを備える情報処理装置であって、
前記プロセッサは、
複数の処理ブロックと、
前記複数の処理ブロックの並列利用度と動作周波数の組合せを記述するテーブルと、
前記テーブルを参照し、前記組合せを適宜切り替える制御部と、
を含むことを特徴とする情報処理装置。
- [21] 各種のタスクを実行するプロセッサを備える情報処理システムであって、
前記プロセッサは、
複数の処理ブロックと、
温度を測定するセンサと、
測定された温度に応じて、前記複数の処理ブロックの並列利用度を切り替える制御部と、
を備えることを特徴とする情報処理システム。
- [22] 請求項21に記載のシステムにおいて、前記制御部は、前記温度に応じて、前記並列利用度と動作周波数の組合せを切り替えることを特徴とする情報処理システム。
- [23] 請求項21に記載のシステムにおいて、前記制御部は、タスクごとに定まる前記複数の処理ブロックの並列利用可能数を考慮して、前記タスクを割り振ることを特徴とする情報処理システム。
- [24] 請求項21または23に記載のシステムにおいて、前記制御部は、前記複数の処理ブロックのうち、少なくとも最も低い温度の処理ブロックに、タスクを割り振ることを特徴とする情報処理システム。

- [25] 各種のタスクを実行するプロセッサを備える情報処理システムであって、
前記プロセッサは、
複数の処理ブロックと、
前記複数の処理ブロックの並列利用度と動作周波数の組合せを記述するテーブルと、
前記テーブルを参照し、前記組合せを適宜切り替える制御部と、
を含むことを特徴とする情報処理システム。
- [26] プロセッサの内部に設けられた複数の処理ブロックの並列利用度を、温度に応じて切り替えることを特徴とするプロセッサの制御プログラム。
- [27] 請求項26に記載のプログラムにおいて、前記並列利用度と動作周波数の組合せをプロセッサの温度に応じて切り替えることを特徴とするプロセッサの制御プログラム。
- [28] 請求項26に記載のプログラムにおいて、タスクごとに定まる前記複数の処理ブロックの並列利用可能数を考慮して、前記タスクを割り振ることを特徴とするプロセッサの制御プログラム。
- [29] 請求項26または28に記載のプログラムにおいて、前記複数の処理ブロックのうち、少なくとも最も低い温度の処理ブロックに、タスクを割り振ることを特徴とするプロセッサの制御プログラム。
- [30] プロセッサの内部に設けられた複数の処理ブロックの並列利用度と動作周波数の組合せを所定のテーブルを参照して切り替えることを特徴とするプロセッサの制御プログラム。

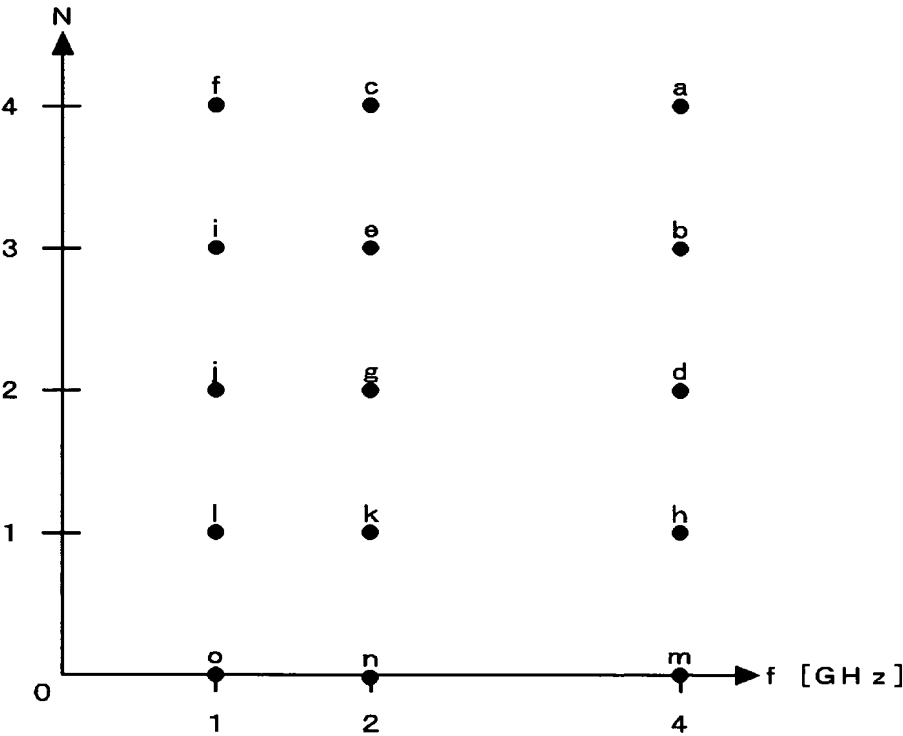
[図1]



[図2]



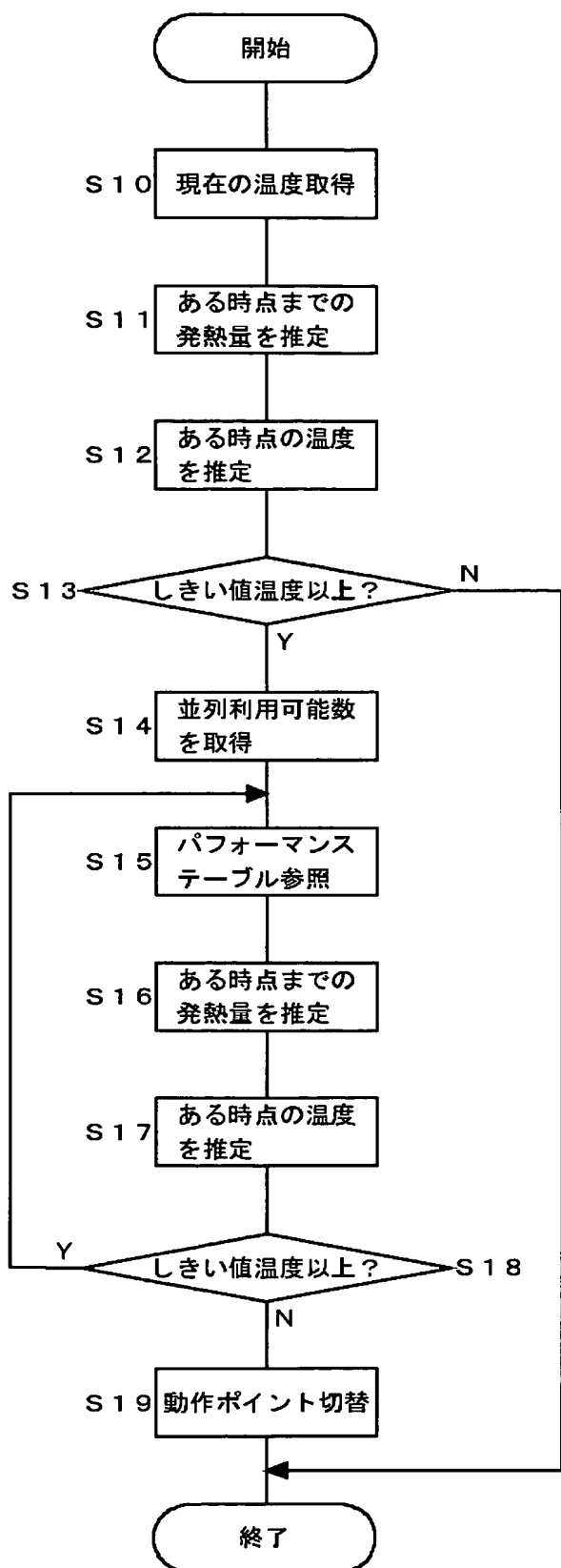
[図3]



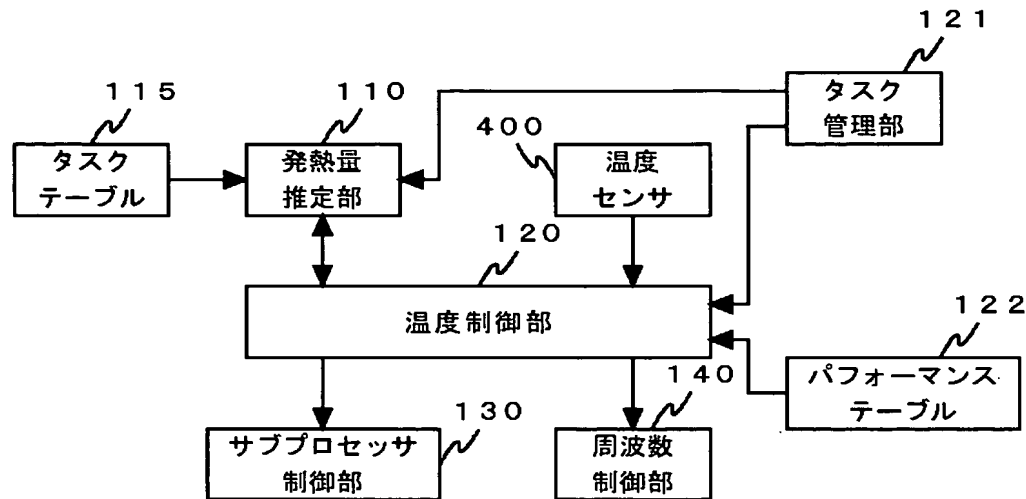
[図4]

サブプロセッサ並列利用数					
パフォーマンス順の動作ポイント	0	1	2	3	4
	m	h	d	b	a
	n	k	g	d	b
	o	l	h	e	c
		m	j	g	d
		n	k	h	e
		o	l	i	f
			m	j	g
			n	k	h
			o	l	i
				m	j
				n	k
				o	l
					m
					n
					o

[図5]



[図6]

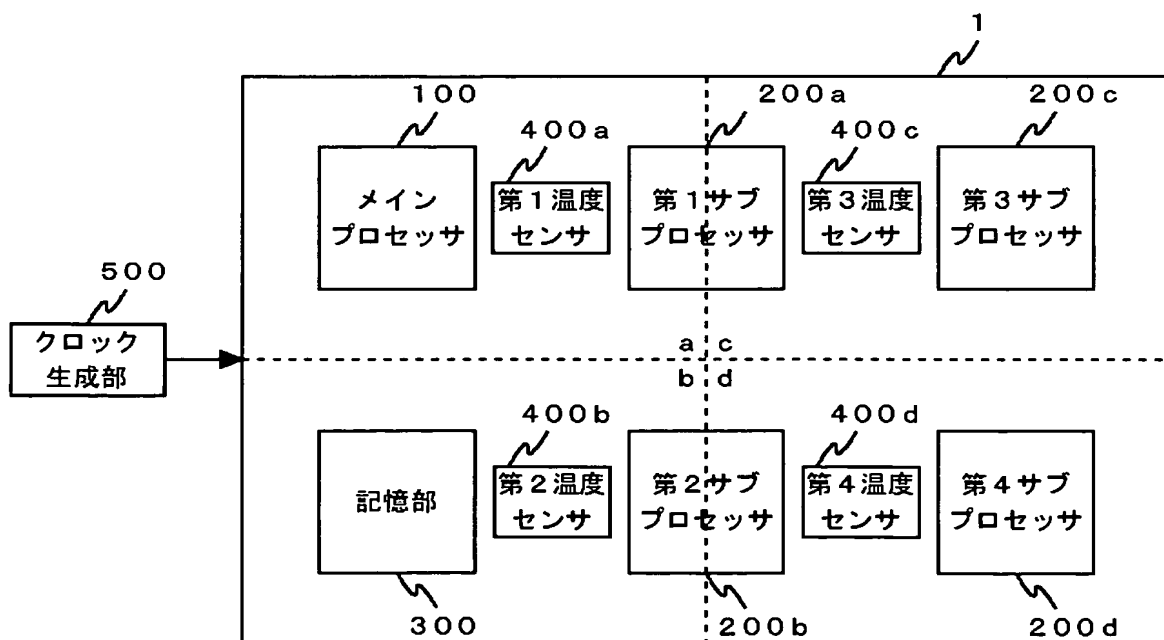


[図7]

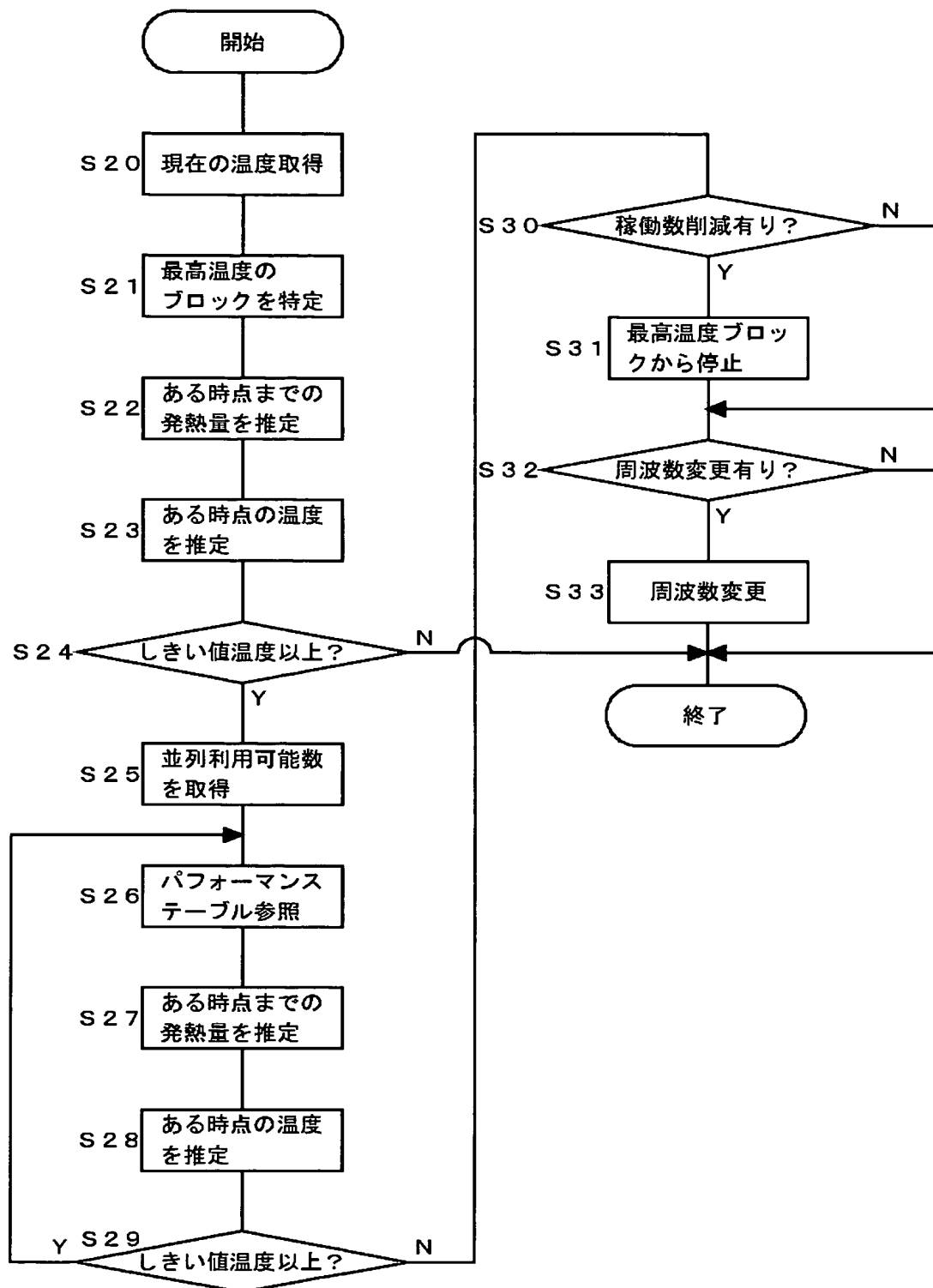
タスク種別	サブプロセッサ 並列利用可能数	発熱量
タスク 1	n 1	E 1
タスク 2	n 2	E 2
タスク 3	n 3	E 3
● ● ●		

115

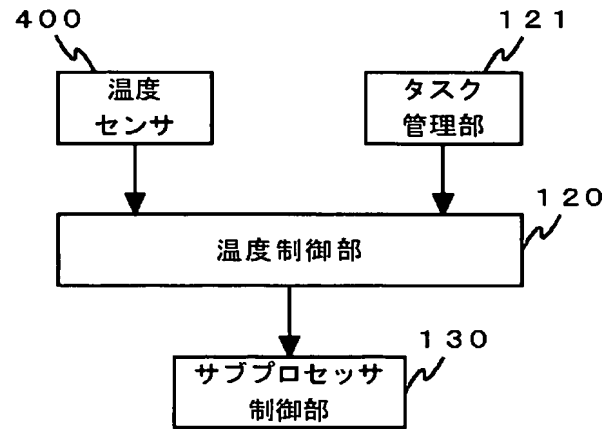
[図8]



[図9]



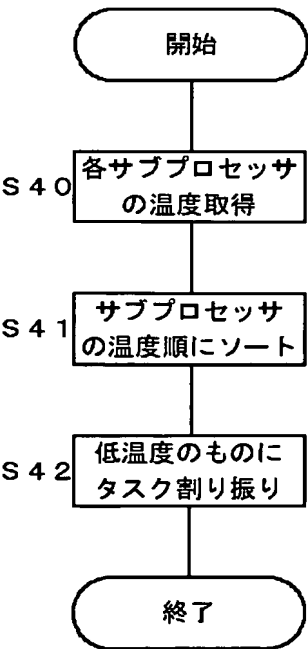
[図10]



[図11]

	サブプロセッサ温度
1	第4サブプロセッサ
2	第2サブプロセッサ
3	第3サブプロセッサ
4	第1サブプロセッサ

[図12]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/006965

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl⁷ G06F9/50, 1/04

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl⁷ G06F9/50, 1/04Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2005
Kokai Jitsuyo Shinan Koho 1971-2005 Toroku Jitsuyo Shinan Koho 1994-2005

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2000-322259 A (Hitachi, Ltd.), 24 November, 2000 (24.11.00), Par. Nos. [0012] to [0022]	1, 3, 9, 11, 16, 18, 21, 23, 26, 28
Y	(Family: none)	2, 4-8, 10, 12-15, 17, 19-20, 22, 24-25, 27, 29-30
Y	JP 2004-078929 A (Hewlett-Packard Development Co., L.P.), 11 March, 2004 (11.03.04), Par. Nos. [0024] to [0025] & GB 2394328 A & US 2004/0030940 A1	2, 5-8, 10, 13-15, 17, 20, 22, 25, 27, 30

☒ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search
07 July, 2005 (07.07.05)Date of mailing of the international search report
26 July, 2005 (26.07.05)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/006965

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2004-126968 A (Fujitsu Ltd.), 22 April, 2004 (22.04.04), Par. Nos. [0005] to [0006] (Family: none)	4, 7-8, 12, 15, 19, 24, 29

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl.⁷ G06F9/50, 1/04

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl.⁷ G06F9/50, 1/04

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2005年
日本国実用新案登録公報	1996-2005年
日本国登録実用新案公報	1994-2005年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP 2000-322259 A (株式会社日立製作所) 2000.11.24, 段落【0012】-【0022】 (ファミリーなし)	1, 3, 9, 11, 16, 18, 21, 23, 26, 28
Y		2, 4-8, 10, 12-15, 17, 19-20, 22, 24-25, 27, 29-30

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的な技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

07.07.2005

国際調査報告の発送日

26.7.2005

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

殿川 雅也

電話番号 03-3581-1101 内線 3544

5 B

9646

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 2004-078929 A (ヒューレット・パカード デベロップメント カンパニー エル. ピー.) 2004. 03. 11, 段落【0024】 - 【0025】 & GB 2394328 A & US 2004/0030940 A1	2, 5 - 8, 10, 13 - 15, 17, 20, 22, 25, 27, 30
Y	JP 2004-126968 A (富士通株式会社) 2004. 04. 22, 段落【0005】 - 【0006】 (ファミリーなし)	4, 7 - 8, 12, 15, 19, 24, 29